

249/286

IDS 4.29.2003

Korean Industrial Property Office

PUBLICATION (Extracted translation)

No.

Publication Date: 5 July 1999
Publication No.: P1999-0052177
Application Date: 22 December 1997
Application No.: 10-1997-0071626

Applicant : Sun-jong Jeong
Electronics and Telecommunications Research Institute
161 Gajeong-dong, Yuseong-gu, Daejeon-City, Korea
Inventor: Jong-tae Baek
Rm 708, block No. 129, Hanvit Apartment, Eoueun-dong, Yuseong-gu,
Daejeon-City, Korea
Yoon-tae Kim
Rm 106, block No. 110, Hanwul Apartment, Shinseong-dong, Yuseong-gu,
Daejeon-City, Korea
Chi-hoon Jeon
Rm 404, block No. 108, Hanwul Apartment, Shinseong-dong, Yuseong-gu,
Daejeon-City, Korea
Bo-woo Kim
Rm 1704, block No. 107, Hanvit Apartment, Eoueun-dong, Yuseong-gu,
Daejeon-City, Korea

Attorney: Myoung-sub Kim, Hwa-ik Lee

Title of the Invention:

Method for forming regular silicon quantum dots and method for manufacturing
superfine semiconductor device using the same

Abstract:

At present, semiconductor devices having a source, drain, and simple gate structure used in manufacturing a semiconductor, are estimated to have the technical limitation of a design rule of about $0.07 \mu\text{m}$, and thus, the development of a new technology for semiconductor having over tera bit storage is very required. Recently, the operation of a semiconductor device can be performed with only several electrons by inserting quantum dots between gate oxide and a gate electrode, and a possibility that the semiconductor device can operate with only a single electron, is ascertained, and thus, this field has been much interested. A technique of forming quantum dots having monocrystalline characteristics and a technique of forming fine and uniform

quantum dots at regular intervals are important in order to manufacture a nano device using these quantum dots.

The present invention relates to a method for forming silicon quantum dots to manufacture a next-generation nano device and provides a method of forming fine and uniform silicon quantum dots at regular intervals while having silicon monocrystalline characteristics through an Si PPT technique. The present invention also provides a method for manufacturing a semiconductor nano device using the method for forming silicon quantum dots.

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁸ H01L 21/203	(11) 공개번호 (43) 공개일자	특 1999-0052177 1999년 07월 05일
(21) 출원번호 (22) 출원일자	10-1997-0071626 1997년 12월 22일	
(71) 출원인	한국전자통신연구원 정선중 대전광역시 유성구 가정동 161번지 백종태	
(72) 발명자	대전광역시 유성구 머은동 한빛아파트 129동 708호 김윤태 대전광역시 유성구 신성동 한울아파트 110동 106호 전치훈 대전광역시 유성구 신성동 한울아파트 108동 404호 김보우 대전광역시 유성구 머은동 한빛아파트 107동 1704호 김명섭, 이화익	
(74) 대리인	김명섭, 이화익	

심사청구 : 있음

(54) 규칙적인 실리콘 양자점 형성방법 및 그를 이용한 초미세 반도체 소자 제작방법

요약

현재, 반도체 제조에 활용되고 있는 소오스, 드레인 및 단순 게이트 구조의 반도체 소자는 설계규격 0.07 μ m 정도에서 기술적 한계에 부딪힐 것으로 예측되고 있어, 테라(tera)급 이상의 반도체 소자를 위한 신기술 개발이 절실히 요구되고 있다. 최근 게이트 산화막과 게이트 전극사이에 양자점을 삽입시킴으로써 몇 개의 전자로도 반도체 소자의 작동을 가능하게 하며, 극단적으로 1개의 전자로도 소자를 작동시킬 수 있는 가능성이 확인된 후 이 분야에 대한 관심이 크게 고조되고 있다. 상기의 양자점을 이용한 나노 소자 제작을 위해서는 단결정급 결정특성을 갖는 양자점 형성을 가능하게 할 수 있는 기술과 미세하고 균일한 양자점을 규칙적인 간격으로 형성 가능하게 할 수 있는 기술이 중요하다.

본 발명은 차세대 나노소자 제조를 위한 실리콘 양자점(quantum dot) 형성 방법에 관한 것으로, SI PPT 기법에 의해 실리콘 단결정 수준의 결정특성을 갖도록 하면서 미세하고 균일한 실리콘 양자점을 규칙적인 간격으로 형성할 수 있는 기술을 제공하고자 한다. 또한 상기의 실리콘 양자점 형성방법을 이용하여 반도체 나노소자를 제작하는 방법도 제시하고자 한다.

도면

도 1

명세서

도면의 간단한 설명

도 1의 (a) 내지 (d)는 본 발명에 의한 규칙적인 간격의 실리콘 양자점 형성방법을 보인 공정도.

도 2의 (a) 내지 (c)는 본 발명에 의한 반도체 나노소자 형성방법을 보인 공정도.

<도면의 주요부분에 대한 부호의 설명>

- 10 : 실리콘 기판(Si-sub) 12 : 실리콘 산화막(Si oxide)
- 13 : Al-Si alloy 박막 16 : 실리콘 양자점(Si quantum dot)
- 20 : 실리콘 기판(Si-sub)
- 21 : n+ 또는 p+ 소오스/드레인(n+ or p+ source/drain)
- 22 : 터널 산화막(tunnel oxide)
- 24 : 조절 산화막(control oxide)
- 25 : 게이트 전극(gate electrode)
- 26 : 실리콘 양자점(Si quantum dot)

- 27 : 필드 산화막(field oxide)
28 : 층간 절연막(interlayer dielectric)
29 : 금속(metal) 31 : 이온 주입(ion implantation)
32 : 마스크(mask)

문명의 상생과 선행

발행의 목적

인명이 속하는 기술 및 그 분야의 종래기술

본 발명은 차세대 나노소자 제조를 위한 실리콘 양자점(quantum dot) 형성 방법에 관한 것으로, Si PPT (precipitation) 기법에 의해 실리콘 단결정 수준의 결정특성을 갖도록 하면서 미세하고 균일한 실리콘 양자점을 규칙적인 간격으로 형성할 수 있는 기술을 제공하고자 한다.

또한 상기의 실리콘 양자점 형성방법을 이용하여 반도체 나노소자를 제작하는 방법도 제시하고자 한다.

현재, 반도체 제조에 활용되고 있는 소오스, 드레인 및 단층 게이트 구조의 반도체 소자는, 설계규격 0.07 μ m 정도에서 기술적 한계에 부딪힐 것으로 예측되고 있어, 테라(tera)급 이상의 반도체 소자를 위한 신기술 개발이 절실한 요구되고 있다. 최근 게이트 산화막과 게이트 전극사이에 양자점을 삽입시킴으로써 몇 개의 전자로도 반도체 소자의 작동을 가능하게 하며, 극단적으로 1개의 전자로도 소자(단전자 트랜지스터; single-electron transistor)를 작동시킬 수 있는 가능성이 확인된 후 이 분야에 대한 관심이 크게 고조되고 있다.

상기의 양자점을 이용한 나노소자 제작을 위해서는 단결정성 결정특성을 갖는 양자점 형성을 가능하게 할 수 있는 기술과 미세하고 균일한 양자점 형성을 가능하게 할 수 있는 기술이 중요하다. 이 분야에서 매우 한 종류의 기술은 리소그래피(lithography)를 이용하여 양자점을 만드는 방법과 SiQD 증착시 실리콘 비홀을 과일 조건으로 증착시키는 것으로 실리콘 양자점을 형성하고자 하는 방법 등이 있다. 응용연구로는 종래의 방법으로 형성한 양자점을 이용한 단전자 트랜지스터나 양자점 레이저 등의 제작이 시도되고 있다.

분명히 이루고자하는 기술적 과제

한편, 양자점의 양자점을 구성하는 원소들의 수와 배열 방식에 따라 광학적 특성이 달라지므로, 이를 이용하여 다양한 파장의 빛을 방출할 수 있는 LED를 개발하고 있다.

표본 형상은 기존의 방법과는 달리, PPT 기법을 이용하기 때문에 단정형의 결정형상 갖는 것이 아니라, 10nm 이하의 크기에서 균일한 양자점 분포를 갖는 결정형상 양자점을 얻을 수 있다.

본 발명의 방법으로 형성한 실리콘 양자점을 활용하여 반도체 나노소자를 제조할 경우, 우수한 특성의 소자 제작이 기대되므로 실리콘 양자점 형성방법과 이를 이용한 반도체 나노소자 제작방법도 포함하여 제시하고자 한다.

제 2 장 **제 1 절** **제 1 호**

본 발명의 양자점(나노 크리스탈) 형성방법과 이를 이용한 나노소자 제작방법을 제시하기 위한 본 발명의 구성 및 작용은 아래와 같으며, 본 발명의 실시 순서별 공정을 도 1 및 도 2에 나타내었다.

실리콘 나노크리스탈 형성방법은 도 1의 (a), (b), (c), (d)에 도시된 바와 같이,

실리콘 기판(10)의 상부에 실리콘 산화막(12)을 형성하고, 산화막(12)의 상부에 Al-Si 합금 타겟을 이용한 스퍼터링으로 Al-Si 합금(13) 층을 증착한다(도 1의 (a)).

마스크(32)를 사용하여 Al-Si 합금(13) 층의 특정 위치에 실리콘을 이온주입(31) 한다(도 1의 (b)). 특정 위치에 실리콘이 이온주입된 Al-Si 합금(13)층은 RTA(Rapid Thermal Annealing)나, 로(furnace)를 사용하여 150~550°C로 열처리 하면 합금층내에 분포되어 있는 Si 원자들의 재배열로 인한 핵생성 및 성장으로 미세 실리콘 결정립(16)이 형성된다(도 1의 (c)).

여기서 형성되는 미세 결정립(16)의 크기 및 모양 등은 합금(13)층의 두께 및 이온주입된 실리콘 함량, 열처리 온도, 시간 및 분위기 조건 등으로 조절 가능하게 된다.

함금(13)층내에 미세 실리온 결정립(16)을 형성한 후, 습식 또는 건식식각공정으로 시금속만을 제거하고 실리온 결정립(16)만 남도록 함으로써, 산화막(12)의 상부에 10nm 이하의 미세하고 균일한 실리온 나노 크리스탈을 형성할 수 있게 된다(도 1의 (d)).

본 발명의 다른 실시예로서, 상기 Al-Si 합금(13)을 대신에 Cu-Si 등 Si PPT기법이 적용 가능한 Si-합금 계를 이용할 수도 있다.

상기와 같은, 실리콘 나노크리스탈 형성방법을 이용한 나노소자 제작방법은 도 2의 (a), (b), (c)에 도시되어 있다. 실리콘 기판(20) 상에 필드 산화막(27)을 형성하여 소자영역을 정의하고, 그 소자영역내에 주 및 소의 소오스/드레인(21, source/drain)을 형성하고, 그 소오스/드레인(21) 영역 및 채널영역의 상부에 터널 산화막(22, tunnel oxide)을 형성한다(도 2의 (a)).

그리고, 그 텀널 산화막(22)의 상부에 상기 도 1의 도시된 공정으로 실리콘 나노크리스탈(26)(실리콘 결정립)을 형성한다.(도 2의 (b)). 그 실리콘 나노크리스탈(26) 형성 과정은 상기 도 1에 의거한 실리콘 나노크리스탈 형성법과 동일하게 수행한다. 여기서, 소오스/드레인(21) 상부에 생성된 실리콘 결정립(26)은 이후 공정단계에서 수행되는 게이트 전극 식각 등의 공정에서 자연적으로 제거된다.

이후에는 실리콘 나노크리스탈(26) 상부에 조절 산화막(24, control oxide) 및 게이트 전극(25, gate electrode)을 형성하고, 그 위에 전면적으로 층간 절연막(28)을 형성한후 상기 소오스/드레인(21)과 연결되는 금속(29)을 형성하여 초미세 반도체 소자가 제작된다(도 2 (c)). 상기 필드 산화막(27, field oxide), 층간절연막(28, interlayer dielectric), 금속(29, metal) 공정은 일반적인 CMOS공정과 동일하다.

발명의 효과

테라급 이상의 반도체 소자용 나노소자 제작기술에 있어서 가장 핵심기술인 규칙적인 양자점 형성방법에서 본 발명의 PPT 기법을 통한 새로운 Si 양자점 형성 방법을 활용하면,

- 단결정 수준의 탁월한 실리콘 결정특성을 갖도록 하면서,
- 10nm 이하의 균일하고 미세한 실리콘 나노크리스탈을 규칙적인 간격으로 형성할 수 있으며,
- 실리콘 양자점 형성공정을 크게 단순화하면서도
- 공정 재현성을 높일 수 있는 효과가 있다.

또한 반도체 나노소자의 특성은 양자점 형성방법과 형성된 양자점의 특성에 의해 결정되어 지는 바, 상기 기의 우수한 결정특성 및 균일하고 미세한 실리콘 양자점을 규칙적인 간격으로 형성할 수 있는 방법을 이용하여 반도체 소자를 제작함으로써,

- 탁월한 소자 특성을 갖는 반도체 나노소자를 제작할 수 있고,
- 기존 반도체 소자제작에서의 기술적 한계 극복 및 테라급 이상의 반도체 소자개발에 크게 기여할 수 있을 것이다.

(57) 청구의 범위

청구항 1. 실리콘 양자점을 형성하는 방법에 있어서,

반도체 기판위에 Al-Si 합금층을 형성하고, 그 합금층을 열처리하여 합금층 내에 분포되어 있는 Si 원자의 재배열로 미세 Si 양자점(결정립)을 특정위치에만 규칙적으로 형성시키는 것을 특징으로 하는 규칙적인 실리콘 양자점 형성방법.

청구항 2. 실리콘 기판(10)의 상부에 실리콘 산화막(12)을 형성한 후 그 위에 금속-실리콘 합금층을 증착하는 단계;

상기 금속-실리콘 합금층에 마스크(32)를 사용하여 실리콘을 미온주입(31)한 다음, 열처리에 의해 금속층 내에 분포되어 있는 Si 원자의 재배열로 미세 Si 결정립(16)을 형성시키는 단계;

상기 Si 결정립(16)이 형성된 금속-실리콘 합금층의 금속 만 식각시키고 미세 Si 결정립을 남게하는 단계;

를 수행하여 균일하고 미세한 실리콘 나노크리스탈을 규칙적인 간격으로 형성하는 것을 특징으로 하는 규칙적인 실리콘 양자점 형성방법.

청구항 3. 제 2 항에 있어서,

상기 PPT기법으로 실리콘 양자점을 형성하기 위해 사용하는 금속 층은,

Al 층 또는 Al-Si 합금 층중 어느 하나인 것을 특징으로 하는 규칙적인 실리콘 양자점 형성방법.

청구항 4. 제 2 항 또는 제 3 항에 있어서,

상기 금속층의 특정 위치에 실리콘을 미온주입하여 미온주입 위치에서 실리콘 핵생성 및 성장이 우선적으로 이루어 지도록 미온주입을 위한 마스크의 패턴과 미온주입 방법을 조절하는 것을 특징으로 하는 규칙적인 실리콘 양자점 형성방법.

청구항 5. 제 3 항에 있어서,

Al 층 또는 Al-Si 합금층에의 미온주입공정에서 사용하는 물질은 Si, Ar, He, N, Ne 중 어느 하나 이상인 것을 특징으로 하는 규칙적인 실리콘 양자점 형성방법.

청구항 6. 제 3 항에 있어서,

Al-Si 합금층인 경우 Si 비율을 10%내로 하는 것을 특징으로 하는 규칙적인 실리콘 양자점 형성방법.

청구항 7. 제 2 항에 있어서,

합금층 내에 미세 실리콘 결정립을 형성하는 열처리 단계 후, 합금층중 Al 금속을 제거하고 실리콘 결정립만 남도록 하는 식각방법에서 화학용액으로 Al을 제거하는 습식식각 또는 플라즈마를 이용하여 Al을 제거하는 건식식각중 어느 한 가지 방법을 이용하는 것을 특징으로 하는 규칙적인 실리콘 양자점 형성방법.

청구항 8. 실리콘 기판(20)을 이용하여, n+ 및 p+의 소오스/드레인(21)을 형성하고, 그 위에 텀널산

화막(22)을 형성한 후,

그 위에 금속-실리콘 합금층을 증착하는 단계;

상기 금속-실리콘 합금층에 마스크를 사용하여 실리콘을 이온주입 한 다음, 열처리에 의해 금속 층 내에 분포되어 있는 Si 원자의 재배열로 미세 Si 결정립을 형성시키는 단계;

상기 Si 결정립이 형성된 금속-실리콘 합금층의 금속 만 식각시키고 미세 Si 결정립을 남게하는 단계; 를 수행하여 균일하고 미세한 실리콘 나노크리스탈을 규칙적인 간격으로 형성하고,

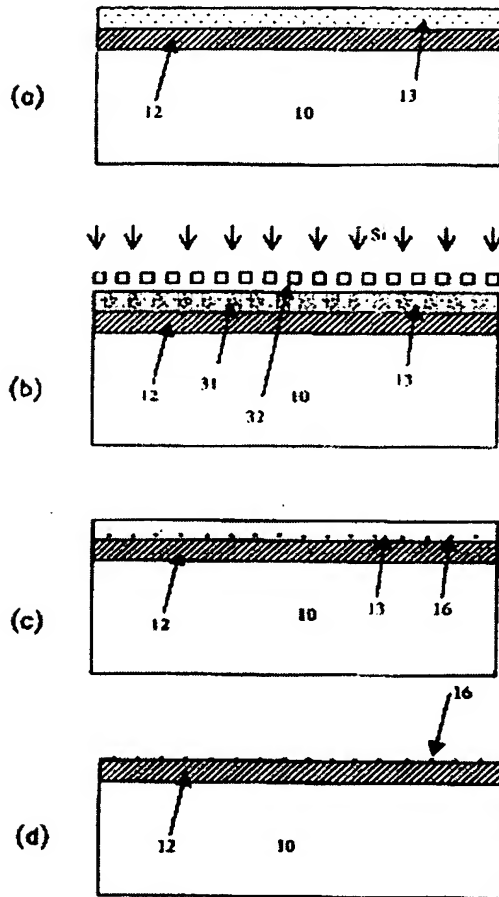
그 실리콘 나노크리스탈 상부에 조절산화막(24) 및 게이트(25)를 형성하여 초미세 반도체 소자를 제작하는 것을 특징으로 하는 초미세 반도체 소자 제작방법.

청구항 9. 제 8 항에 있어서,

상기 금속-실리콘 합금 층은, Al-Si합금층인 것을 특징으로 하는 초미세 반도체 소자 제작방법.

도면

도면1



도면 2

